2주차 예비보고서

전공: 컴퓨터공학과 학년: 3학년 학번: 20211547 이름: 신지원

**1.**

HDL 이란 Hardware Description Language의 줄임말로 전자회로를 정밀하게 기술하는 데 사용되는 하드웨어 기술 언어다. 회로의 동작이나 구조를 직접 구현하여 시뮬레이션을 통해 구현 여부를 확인할 수 있다. 실제로 사용하는 하드웨어(디지털 기기)는 클럭에 따라 작동하기 때문에 시뮬레이션에는 이와 유사하게 클럭의 신호에 따라 작동 여부를 보여준다. 이처럼 HDL 은 소프트웨어 프로그래밍 언어와 달리 하드웨어를 다루기 때문에 시간과 동시성을 설정할 수 있는 기능들이 존재한다. 원래는 회사 마다 각기 다른 고유의 HDL 포맷으로 구현하여 표준 EDIF 포맷으로 변환하였다면, 최근에는 우리가 실습에서 사용하는 Verilog 와 VHDL 과 같이 표준 HDL 을 직접 사용하는 것으로 변화하였다.

VHDL 은 Verilog 와 마찬가지로 HDL 의 종류 중 하나며 디지털 회로의 설계, 검증, 구현 등의 용도로 사용되고 있다. 원래는 ASIC 의 문서화에 사용하기 위한 언어였으나 논리합성을 하여 실제 회로 형태를 출력하는 기능을 개발하여 오늘날에는 위와 같이 활용된다. VHDL 은 Verilog 와 차이점을 가지는데, Verilog 에 비해 더 높은 수준의 모델링이 가능하며 pascal 과 비슷한 문법을 가지고 있다. 따라서 당연히 코드를 구현할 때 겉모습에서도 차이를 지닌다. 아래는 각각 AND 게이트를 구현한 코드 중 일부다.

- VHDL

**entity** **ANDGATE** **is**

**port** (

I1 : **in** std\_logic;

I2 : **in** std\_logic;

O : **out** std\_logic);

**end** **entity** **ANDGATE**;

- Verilog HDL

**module inv(**

input a,b,

output c

**);**

**assign** c = a+b;

**endmodule**

**2.**

2.Verilog의 역사와 발전 과정을 조사하시오

**3.**

3.Verilog의 기본적인 구조와 문법에 관하여 조사하시오

**참고문헌**

- https://ko.wikipedia.org/wiki/하드웨어\_기술\_언어

- https://ko.wikipedia.org/wiki/VHDL